

PAT-NO: JP363128732A
DOCUMENT-IDENTIFIER: JP 63128732 A
TITLE: FORMATION OF METALLIC SILICIDE FILM
PUBN-DATE: June 1, 1988

INVENTOR-INFORMATION:

NAME COUNTRY
KITAMURA, YUJI

ASSIGNEE-INFORMATION:

NAME COUNTRY
SANYO ELECTRIC CO LTDN/A

APPL-NO: JP61275847
APPL-DATE: November 19, 1986

INT-CL (IPC): H01L021/88 , H01L021/285 , H01L029/46

US-CL-CURRENT: 438/655, 438/FOR.360

ABSTRACT:

PURPOSE: To obtain high quality silicide between high-melting-point metal and silicon without absorption of oxygen, by serially sputtering the high-melting-point metal and the silicon in a similar sputtering device.

CONSTITUTION: A silicon oxidizing film 2 is formed on a surface of a semiconductor substrate 1. A desired circuit element such as a MOS transistor is formed in the semiconductor substrate 1, and a silicon oxidizing film 2 is formed of a heat oxidizing film. A polysilicon film 3 is stucked on the silicon oxidizing film 2 formed on the semiconductor substrate 1, and next high-melting-point metal 4 and a silicon layer 5 are serially stucked thereon. The polysilicon film 3 is formed about 4000 \AA ; in thickness on the silicon oxidizing film 2 and doped with phosphorus so that its specific resistance is set in $R5/20\Omega/\text{sg}$ Then, titanium Ti is sputtered about 400 \AA ; in thickness by the use of a similar sputtering device, and silicon Si is sputtered about 1000 \AA ; in thickness while the sputtering device is kept vacuum. A substrate temperature steeply rises by ramp annealing, and a high quality silicide layer 6 with a mirror-polished surface can be obtained between titanium and silicon without penetration of oxygen.

COPYRIGHT: (C)1988, JPO&Japio

⑫ 公開特許公報(A)

昭63-128732

⑤ Int. Cl.⁴ 識別記号 庁内整理番号 ④ 公開 昭和63年(1988)6月1日
H 01 L 21/88 Q-6708-5F
21/285 X-7638-5F
// H 01 L 29/46 D-7638-5F 審査請求 未請求 発明の数 1 (全3頁)

⑭ 発明の名称 金属シリサイド膜の形成方法

⑮ 特 願 昭61-275847

⑯ 出 願 昭61(1986)11月19日

⑰ 発 明 者 北 村 裕 二 群馬県邑楽郡大泉町大字坂田180番地 東京三洋電機株式会社内

⑱ 出 願 人 三洋電機株式会社 大阪府守口市京阪本通2丁目18番地

⑲ 代 理 人 弁理士 西野 卓嗣 外1名

明 細 書

1. 発明の名称

金属シリサイド膜の形成方法

2. 特許請求の範囲

(1) ポリシリコン膜上に高融点金属を付着しアニール処理して金属シリサイド膜を形成する方法において、前記高融点金属のスパッタと前記高融点金属上に付着するシリコンのスパッタを連続して行い前記高融点金属とシリコン間に空気中の不純物物質を介在させないことを特徴とする金属シリサイド膜の形成方法。

3. 発明の詳細な説明

(イ) 産業上の利用分野

本発明は半導体装置の製造プロセスに用いる金属シリサイド膜の形成方法の改良に関する。

(ロ) 従来の技術

D-RAM, S-RAM等の半導体集積回路では近年ますます高集積化、高速化が図られているが、これを阻害する要因の1つとして配線抵抗による信号の遅延がある。

この配線抵抗の低減の1つの方法としてポリシリコン電極のシリサイド化が図られている。例えば工業調査会発行、前田和夫著「最新LSIプロセス技術」第397頁～第399頁には、シリコンゲートの唯一の欠点である高い抵抗値(シート抵抗値 $\sim 10\Omega/\square$)はシリサイド化して、例えばWSi₂(タングステンシリサイド)を用いればシート抵抗値 $1\Omega/\square$ 程度まで低減できることが示されている。

斯る金属シリサイド膜の形成方法としては種々の方法があるが、標準的な方法は確立されていない。デポジション法については、シリサイドをターゲットに用いたスパッタリング、シリコンと金属の同時スパッタリング、シリコンと金属の同時蒸着、ポリシリコン上への金属のCVDまたはPVDと熱処理によるシンタリング等が考えられる。アニール法も標準的な方法が確立されていない。

従来の一般的な金属シリサイド膜の形成方法は、例えば特開昭59-72131号公報に示さ

れるように、第2図Aに示す如く、ホットウォールタイプの減圧CVD装置を用いて、基板温度450°C、全圧0.2 Torr、六弗化タングステン流量毎分1 cc、アルゴンガス流量毎分1 lの条件で15分成長させると、基板(11)上の酸化膜(12)の開口部(13)上に選択的に約1000 Åのタングステン層(14)が成長する。次に第2図Bに示す如く、減圧CVD装置を用いて基板温度450°C、全圧0.2 Torr、モノシラン流量毎分30 ccの条件で15分タングステン層(14)表面にシリサイド層(15)が形成される。

(ハ) 発明が解決しようとする問題点

しかしながら斯上した金属シリサイド膜の形成方法では、タングステン層(14)を付着した後に次工程のシリサイド化を行うので、タングステン層(14)表面に空気中の酸素が吸着されてシリサイド化の妨げとなる問題点を有していた。

(ニ) 問題点を解決するための手段

本発明は斯る問題点に鑑みてなされ、高融点金属とシリコンとを同一スパッタ装置内で連続して

スパッタすることにより、従来の欠点を大巾に改善した金属シリサイド膜の形成方法を実現するものである。

(*) 作 用

本発明に依れば、同一スパッタ装置で高融点金属とシリコンとを連続スパッタするので、スパッタ装置の真空を破らずに処理でき、高融点金属とシリコンとの間に酸素を吸着せず良好なシリサイド化を可能にする。

(ハ) 実施例

本発明に依る金属シリサイド膜の形成方法を第1図A乃至第1図Cを参照して詳述する。

先ず第1図Aに示すように、半導体基板(1)表面にシリコン酸化膜(2)を形成する。半導体基板(1)内にはMOSトランジスタ等の所望の回路素子が形成され、シリコン酸化膜(2)は例えばゲート酸化膜等に用いられる熱酸化膜で形成されている。

次に第1図Bに示すように、半導体基板(1)のシリコン酸化膜(2)上にポリシリコン膜(3)を付着し

た後、高融点金属(4)とシリコン層(5)とを連続して付着することにある。

本工程は本発明の特徴とする工程であり、先ずシリコン酸化膜(2)上にポリシリコン膜(3)を減圧CVD法により約4000 Åの厚みに形成し、リンをドーブして比抵抗 $R_s = 20 \Omega/\square$ に設定する。続いて同一のスパッタ装置を用いて、チタン(Ti)を約400 Åの厚みにスパッタし、スパッタ装置の真空を破ることなくシリコン(Si)を約1000 Åの厚みにスパッタしている。本工程の特徴は、このスパッタ装置の 10^{-7} Torrの真空を維持したままチタン(Ti)とシリコン(Si)の連続スパッタを行い、チタン(Ti)とシリコン(Si)の間に空気中の不純物物質である酸素分子が含まれることを防止している点にある。

更に第1図Cに示すように、加熱してチタンシリサイド層(6)を形成している。本工程では、加熱処理をランプアニールにより行う。即ちXeフラッシュランプを用いて、窒素(N_2)雰囲気中で60秒間行い基板温度を800°Cに加熱している。ラ

ンプアニールに依れば、基板温度を急峻に上昇でき、従来の電気炉アニールに比べて極端に酸素のまき込みを防止できる利点を有する。この結果チタンとシリコンの間にシリサイド層(6)が形成され、特にチタンとシリコン間に酸素分子が介在されないで良質で表面が鏡面状態のシリサイド層(6)が得られる。

然る後斯上したシリサイド層(6)は所望のパターンにエッチングされて、MOSトランジスタのゲート電極や配線層として利用される。

なお本発明の他の実施例として高融点金属としてタングステン(W)、モリブデン(Mo)等も利用できる。

(ト) 発明の効果

斯上した如く本発明に依れば、高融点金属(4)とシリコン層(5)とを同一スパッタ装置で真空を破らずに連続スパッタすることにより、高融点金属(4)とシリコン層(5)間にシリサイド化を阻害する空気中の酸素分子を介在させないので、良好なシリサイド化を実現できる利点を有する。この結果

鏡面状態の表面を有するシリサイド層(6)を形成でき、シリサイド層(6)をホトエッチングにより微細加工できる利点を有する。

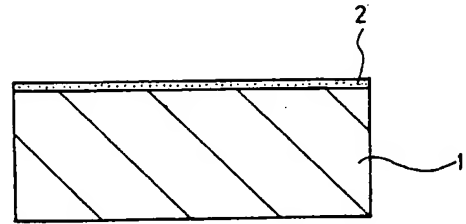
4. 図面の簡単な説明

第1図A乃至第1図Cは本発明による金属シリサイド膜の形成方法を説明する断面図、第2図Aおよび第2図Bは従来の金属シリサイド膜の形成方法を説明する断面図である。

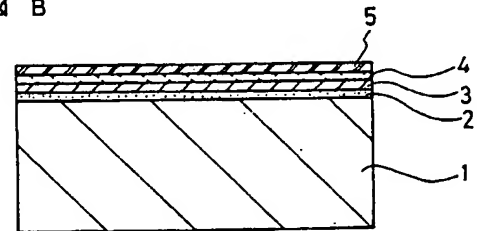
(1)は半導体基板、(2)はシリコン酸化膜、(3)はポリシリコン膜、(4)は高融点金属、(5)はシリコン層、(6)はシリサイド層である。

出願人 三洋電機株式会社 外1名
代理人 弁理士 西野卓嗣 外1名

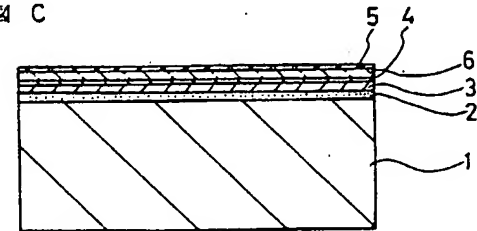
第1図 A



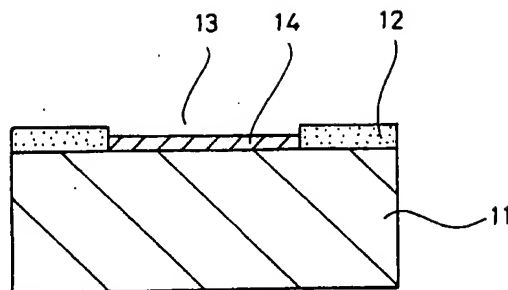
第1図 B



第1図 C



第2図 A



第2図 B

